

## © EPODOC / EPO

PN - WO9522201 A 19950817  
 TI - SEMICONDUCTOR CIRCUIT  
 AB - A semiconductor circuit which can not only store analog data and multilevel data by using a simple circuit, but also compare inputted data with stored data. The circuit stores a first signal, and when the difference between the magnitude of a second signal and that of the first signal stored is smaller or larger than a prescribed first value, outputs a prescribed second value. The circuit is constituted of multiple neuron MOS transistors each of which has, on a substrate (1), a semiconductor region of one conductivity type, source and drain regions of the opposite conductivity type formed in the semiconductor region, floating gate electrode which is provided in an area separating the source and drain regions from each other through an insulating film and is in a potentially floating state, and multiple input gate electrodes which are capacitance-coupled with the floating gate electrode through the insulating film.  
 EC - G06N3/063A  
 PA - OHMI TADAHIRO (JP); SHIBATA TADASHI (JP); YAMASHITA TAKEO (JP)  
 IN - OHMI TADAHIRO (JP); SHIBATA TADASHI (JP); YAMASHITA TAKEO (JP)  
 CT - JP62017781B B [Y]; JP56043827 A [Y]; JP1189219 A [Y]; JP6244375 A [P]; JP5335506 A [Y]; JP62133881 A [Y]  
 AP - WO1995JP00205 19950214  
 PR - JP19940040423 19940214  
 DT - \*

## © WPI / DERWENT

AN - 1995-293321 [42]  
 TI - Semiconductor circuit which does not store but compares input data with stored data - uses multiple neuron MOS transistors, each of which has a semiconductor region of one conductivity type, source and drain regions of opposite conductivity  
 AB - WO9522201 The circuit is constituted of multiple neuron MOS transistors each of which has, on a substrate (1), a semiconductor region of one conductivity type, source and drain regions of the opposite conductivity type formed in the semiconductor region, floating gate electrode provided in the area separating the source and drain regions from each other through an insulating film and is in a potentially floating state. The multiple input gate electrodes are capacitance-coupled with the floating gate electrode through the insulating film.  
 - The circuit stores a first signal, and when the difference between the magnitude of a second signal and that of the first signal stored is smaller or larger than a prescribed first value, outputs a prescribed second value.  
 - ADVANTAGE - Provides simple circuit.(Dwg.1a/12)  
 IW - SEMICONDUCTOR CIRCUIT STORAGE COMPARE INPUT DATA STORAGE DATA MULTIPLE NEURON MOS TRANSISTOR SEMICONDUCTOR REGION ONE CONDUCTING TYPE SOURCE DRAIN REGION OPPOSED CONDUCTING  
 PN - WO9522201 A1 19950817 DW199538 H03K5/08 Jpn 027pp  
 - JP7226912 A 19950822 DW199542 H04N5/907 011pp  
 IC - G06F15/18 ; G11C15/04 ; H01L27/10 ; H03K5/08 ; H03K5/1534 ; H04N5/907  
 MC - T02-A04B9 U14-B01 U22-D01A1C U22-D07  
 DC - T02 U14 U22  
 PA - (OHMI-I) OHMI T  
 - (SHIB-I) SHIBATA N  
 - (SHIB-I) SHIBATA T  
 IN - OHMI T; SHIBATA T; YAMASHITA T  
 AP - WO1995JP00205 19950214; JP19940040423 19940214  
 PR - JP19940040423 19940214

This Page Blank (uspto)

PCT

世界知的所有権機関  
国際事務局  
特許協力条約に基づいて公開された国際出願



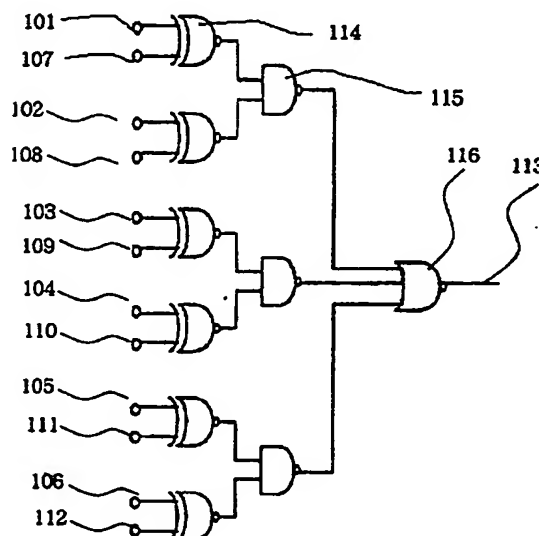
<p>(51) 国際特許分類6 H03K 5/08, 5/1534, H01L 27/10</p>	<p>A1</p>	<p>(11) 国際公開番号 WO95/22201 (43) 国際公開日 1995年8月17日(17.08.95)</p>
<p>(21) 国際出願番号 PCT/JP95/00205 (22) 国際出願日 1995年2月14日(14.02.95) (30) 優先権データ 特願平6/40423 1994年2月14日(14.02.94) JP (71) 出願人；および (72) 発明者 柴田 直(SHIBATA, Tadashi)[JP/JP] 〒982-02 宮城県仙台市太白区日本平5番2号 Miyagi, (JP) 大見忠弘(OHMI, Tadahiro)[JP/JP] 〒980 宮城県仙台市青葉区米ヶ袋2丁目1番17号301 Miyagi, (JP) (72) 発明者；および (75) 発明者／出願人 (米国についてののみ) 山下毅雄(YAMASHITA, Takeo)[JP/JP] 〒980 宮城県仙台市青葉区荒巻字青葉 東北大学工学部電子工学科内 Miyagi, (JP)</p>		<p>(74) 代理人 弁理士 福森久夫(FUKUMORI, Hisao) 〒160 東京都新宿区本塩町12 Tokyo, (JP) (81) 指定国 KR, US, 欧州特許(AT, BE, CH, DE, DK, ES, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE). 添付公開書類 国際調査報告書 請求の範囲の補正の期限前であり、補正書受領の際には再公開される。</p>

(54) Title : SEMICONDUCTOR CIRCUIT

(54) 発明の名称 半導体回路

(57) Abstract

A semiconductor circuit which can not only store analog data and multilevel data by using a simple circuit, but also compare inputted data with stored data. The circuit stores a first signal, and when the difference between the magnitude of a second signal and that of the first signal stored is smaller or larger than a prescribed first value, outputs a prescribed second value. The circuit is constituted of multiple neuron MOS transistors each of which has, on a substrate (1), a semiconductor region of one conductivity type, source and drain regions of the opposite conductivity type formed in the semiconductor region, floating gate electrode which is provided in an area separating the source and drain regions from each other through an insulating film and is in a potentially floating state, and multiple input gate electrodes which are capacitance-coupled with the floating gate electrode through the insulating film.



(57) 要約

本発明は、簡単な回路を用いてアナログや多値のデータを記憶するばかりでなく、入力してくるデータと記憶したデータを比較することのできる半導体回路を提供することを目的とする。

第1の信号を記憶し、第2の信号と記憶した前記第1の信号の大きさの差が所定の第1の値より小さいときに、あるいは大きいときに所定の第2の値を出力することを特徴とする。また、基板上に1導電型の半導体領域を有し、この領域内に設けられた反対導電型のソース及びドレイン領域と、前記ソース及びドレイン領域を隔てる領域に絶縁膜を介して設けられた電位的にフローティング状態にあるフローティングゲート電極と、前記フローティングゲート電極と絶縁膜を介して容量結合する複数の入力ゲート電極と、を有するニューロンMOSトランジスタを複数個用いて構成されることを特徴とする。

情報としての用途のみ

PCTに基づいて公開される国際出願をパンフレット第一頁にPCT加盟国を同定するために使用されるコード

AM	アルメニア	EE	エストニア	LK	スリランカ	RU	ロシア連邦
AT	オーストリア	ES	スペイン	LR	リベリア	SD	スーダン
AU	オーストラリア	FI	フィンランド	LT	リトアニア	SE	スウェーデン
BB	バルバドス	FR	フランス	LU	ルクセンブルグ	SG	シンガポール
BE	ベルギー	GB	イギリス	LV	ラトヴィア	SI	スロベニア
BG	ブルガリア	GE	グルジア	MC	モナコ	SK	スロバキア共和国
BJ	ベナン	GN	ギニア	MG	マダガスカル	SN	セネガル
BR	ブラジル	GR	ギリシャ	ML	マリ	NZ	ニュージーランド
BY	ベラルーシ	RU	ロシア	MN	モンゴル	TD	チャド
CA	カナダ	UA	ウクライナ	MR	モーリタニア	TG	トーゴ
CF	中央アフリカ共和国	IE	アイルランド	MW	マラウイ	TM	トルクメニスタン
CG	コンゴ	IT	イタリア	MX	メキシコ	TT	トリニダード・トバゴ
CH	スイス	JP	日本	NE	ニジェール	UG	ウガンダ
CI	コート・ジボアール	KE	ケニア	NL	オランダ	US	米国
CM	カメルーン	KR	韓国	NO	ノルウェー	UZ	ウズベキスタン共和国
CN	中国	KP	朝鮮民主主義人民共和国	NZ	ニュージーランド	VN	ベトナム
CZ	チェコ共和国	KZ	カザフスタン	PL	ポーランド		
DE	ドイツ	LI	リヒテンシュタイン	PT	ポルトガル		
DK	デンマーク			RO	ルーマニア		

## 明細書

## 半導体回路

## 5 技術分野

本発明は、半導体回路に係り、特に信号情報の記憶機能とともに、記憶した信号情報と入力される信号情報を比較して、所定の範囲で一致しているか、一致していないかを調べる機能を保持した高機能半導体回路を提供するものである。

## 10 背景技術

従来イメージセンサで取り入れてメモリに記憶された莫大なアナログの画像データはメモリ外部のディジタルコンピュータに転送され、そこでマッチング等の処理をされていた。

- この手法では、情報処理演算はメモリの外にある演算処理装置によってのみ行われるため画素数の増大にともなうデータ数の増加とともに演算処理部の負担が増大し実時間での信号処理は不可能である。

そこで、従来メモリ外部の演算処理装置が行っていたマッチング等の演算処理を各メモリ自身で行うことにより、演算処理装置の負担を軽減し実時間での情報処理を実現する高機能メモリが必要となる。

- 20 そこで本発明の目的は、簡単な回路を用いてアナログや多値のデータを記憶するばかりでなく、入力してくるデータと記憶したデータを比較することのできる半導体回路を提供するものである。

## 発明の開示

- 25 本発明の半導体回路は、第1の信号を記憶し、第2の信号と記憶した前記第1の信号の大きさの差が所定の第1の値より小さいときに、あるいは大きいときに所定の第2の値を出力することを特徴とする。

また、前記第1の信号が、任意の瞬間の入力信号をダイナミックに記憶したものであることを特徴とする。

さらに、前記第1の信号が、フォトリソプロセスにおけるマスクパターンにより記憶したものである特徴とする。

本発明の半導体回路は、基板上に一導電型の半導体領域を有し、この領域内に設けられた反対導電型のソース及びドレイン領域と、前記ソース及びドレイン領域を隔てる領域に絶縁膜を介して設けられた電位的にフローティング状態にある  
5 フローティングゲート電極と、前記フローティングゲート電極と絶縁膜を介して容量結合する複数の入力ゲート電極と、を有するニューロンMOSトランジスタを複数個用いて構成されることが好ましい。

また、外部から入力する信号により、前記所定の第1の値を変えることができることを特徴とする。  
10

さらに、本発明の半導体回路は、メモリ部に記憶されている複数の信号列と、外部から入力される第1の信号列を比較し、前記第1の信号列に最も似通った、あるいは、完全に一致した信号列を前記メモリ部に記憶されている複数の信号列  
15 中から検索する機能を持った連想メモリのメモリ部を構成することを特徴とする。

さらにまた、本発明の半導体回路は、第1の画像情報を記憶し、その記憶された第1の画像情報と第2の画像情報を比較する回路において用いることを特徴とする。

## 20 作用

請求項1の発明よれば、従来の情報を記憶するというメモリの機能に、入力してくる情報と記憶している情報を比較演算し一致・不一致を調べる機能が加わったために、例えば2枚の画像情報の比較演算をする場合に、メモリ外部の演算処理回路の負担を軽減し実時間での情報処理が可能となる。

25 請求項2の発明によれば、任意の瞬間の情報をダイナミックに取り込むことができるため、例えば刻々と変化する動画情報を構成する信号の比較に用いることができる。

請求項3の発明によれば、例えば所定の画像に対して入力画像を比較する場合  
には、マスクレベルで決定される所定の信号情報に対して入力信号情報を比較す

ればよく、この際には回路電源を切っても情報を保持できる利点がある。

請求項4の発明によれば、アナログ・多値・バイナリディジタルすべての信号を入力として扱うことのできる $\mu$ MOSを用いて回路を構成することにより、素子数を従来の方法に比べて大きく減少させることができる。

- 5 請求項5の発明によれば、一致・不一致の判定基準を可変とすることができるため、大まかに一致・不一致の判定をしたり、厳密に一致・不一致の判定をしたりでき、その用途に応じて柔軟に機能を変えることができる。

- 請求項6の発明によれば、連想機能つき辞書等に応用させる連想メモリに用いることで、従来のバイナリディジタル処理では配線数や素子数が膨大になるため  
10 大規模化・集積化が困難であった連想メモリを、大規模化・高集積化することができる。

- 請求項7の発明によれば、膨大な数の動画情報を伝送する際に、毎回動画像を構成するすべての信号情報を伝送するのではなく、現在メモリに記憶されている画像の信号情報と異なる部分の信号情報だけを伝送し、その他の信号情報は現在  
15 記憶している情報をそのまま用いることで伝送すべき情報の量を激減することができる。本発明の回路を画素の中に組み込むことで新しい画像と現在記憶している画像を画素レベルで同時に比較演算でき、この動画情報のデータ圧縮に非常に役立てることができる。

## 20 図面の簡単な説明

図1は、本発明の実施例1を説明する回路図である。

図2は、本発明の実施例2を説明する回路図である。

図3は、フローティングゲート電圧と入力電圧との関係を示すグラフである。

図4は リフレッシュ回路を組み込んだ回路構成例を示す回路図である。

- 25 図5は、図4の連想DRAMチップを示す顕微鏡写真である。

図6は、図4の回路の特性を示すグラフである。

図7は、本発明の第3の実施例を示す回路である。

図8は、図7の回路のシミュレーション結果を示すグラフである。

図9は、本発明の第4の実施例を示すグラフである。

図10は、本発明の第5の実施例を示すグラフである。

図11は、メモリ平面を構成する機能メモリの回路図である。

図12は、ニューロンMOS（ $\nu$ MOS）トランジスタの構成を示す概念図である。

- 5       （符号の説明
- 101～112 入力、
- 113 出力、
- 114 XNOR回路、
- 115 NAND回路、
- 10 116 NOR回路、
- 134 A/Dコンバータ、
- 120 アナログ入力信号、
- 135～140 スイッチ、
- 121～126 端子、
- 15 133 出力、
- 205、206 NMOSトランジスタ、
- 209、210 フローティングゲート、
- 211、212  $\nu$ MOSインバータ、
- 215 インバータ、
- 20 217 AND回路、
- 306、307  $\nu$ MOSインバータ
- 301～303 入力、
- 306、309 出力、
- 311 XNOR回路、
- 25 401 シリコン基板、
- 402、403 ソース及びドレイン、
- 404 ゲート絶縁膜、
- 406 フローティングゲート電極、
- 407 絶縁膜、



- 408 a、408 b、408 c、408 d 入力ゲート電極、  
501 入力信号、  
512 ワード、  
503、505、504、506  
5 513、514、515  
601 メモリ平面、  
602 機能メモリ、  
609 入力端子  
608 光センサ、  
10 610 端子、  
611、612 ヲMOSインバータ、  
613、614 フローティングゲート。

発明を実施するための最良の形態

- 15 以下に実施例を上げ本発明を詳細に説明するが、本発明がこれら実施例に限定されるものではないことはいうまでもない。

(実施例1)

- 本発明の第1の実施例を、図1(a)の回路を用いて説明する。これは入力した6ビットの信号情報と記憶している6ビットの信号情報を比較し、一致してい  
20 れば1を出力する回路である。114は端子101と107に入力している信号が一致しているときだけ1を出力する2入力XNOR回路であり、115はNAND、116はNOR論理を実現する回路である。これらの回路は通常のCMOS回路で構成することができる。

- まず初めに、入力101～106に信号が入力される。これは例えばスイッチ  
25 を通して入力101～106を電源あるいはグランドに接続してもよいし、スイッチを通さずに直接電源あるいはグランドに接続してもよい。スイッチを通して入力101～106を電源あるいはグランドに接続する場合は、接続後にスイッチをオフにすることで入力101～106の容量に一時的に電源電圧あるいはグランド電圧の信号情報が記憶されることになる。また、スイッチを通さずに直接

電源あるいはグランドに接続する場合はフォトリソ工程におけるマスクによって入力101～106をそれぞれ所定の電圧に接続すればよい。

次に、入力107～112に信号情報を入力すると、入力された信号情報はそれぞれ101～106に記憶されている信号情報と比較され、6ビットすべてが

- 5 一致していれば出力113に1があらわれる。

この回路自身は信号を記憶するというメモリ機能に加えて、入力信号と記憶している信号の比較演算をする機能をも保持している。情報を記憶するメモリセルごとにこの様に一致・不一致の比較演算処理が並列処理的にできることで、メモリ外部の演算処理を用いて時系列にメモリの内容を読みだしながら入力信号と順  
10 次比較していた従来のシステムに比べて、画像マッチングなどの情報処理を高速に行うことができる。

図1(b)には入力がアナログ信号の場合の回路構成を示す。入力段にはアナログ信号をディジタル信号に変換するためのA/Dコンバータ134がついている。アナログ入力信号120は6ビットにA/D変換されスイッチ135～  
15 140を通して端子121～126に入力され記憶される。次に入力されたアナログ信号は同じくA/Dコンバータ134により6ビットにA/D変換され、スイッチ135～140を通して今度は端子127～132に入力される。入力された信号情報はそれぞれ121～126に記憶されている信号情報と比較され、6ビットすべてが一致していれば出力133に1があらわれる。

20 この回路において121～126にはA/D変換した信号を記憶したが、これは図1(a)と同じように直接スイッチを通して電源あるいはグランドに接続してもよい。接続後に、スイッチをオフにすることで一時的に入力121～126の容量に信号を記憶することができる。また、フォトリソ工程におけるマスクによって入力121～126をそれぞれ所定の電圧に接続してもよい。

25 この回路においては、入力するアナログ信号と記憶されているアナログ信号の一致・不一致の判断は6ビットの精度で行われており、これはA/Dコンバータのビット数で決まる。

よって、ここでは6ビットで回路を構成しているが、これは用途に応じて任意のビット数で構成してもよい。

## (実施例 2)

本発明の第 2 の実施例を図 2 に示す。これは入力したアナログ信号情報と記憶しているアナログ信号情報を比較し、ある範囲で一致していれば 1 を出力する回路である。

- 5 図 1 (b) との違いはアナログ・多値・バイナリデジタル信号をすべて入力として扱うことができる  $\nu$ MOS インバータを用いていることである。これにより大幅に素子数を減少させることができた。

この図 2 の回路動作を説明するために、まず最初に  $\nu$ MOS の構造と動作原理について説明する。図 1 2 (a) は 4 入力の N チャネル  $\nu$ MOS トランジスタ (N- $\nu$ MOS) の断面構造の 1 例を示したものであり、401 は例えば P 型のシリコン基板、402、403 は  $N^+$  拡散層で形成されたソース及びドレイン、404 はソース・ドレイン間のチャネル領域 405 上に設けられたゲート絶縁膜 (例えば  $SiO_2$  膜)、406 は電氣的に絶縁され電位的にフローティングの状態にあるフローティングゲート電極、407 は例えば  $SiO_2$  等の絶縁膜、  
15 408 a、408 b、408 c、408 d は入力ゲートで電極である。図 1 2 (b) は  $\nu$ MOS 動作を解析するために さらに簡略化した図面である。各入力ゲート電極とフローティングゲート間の容量結合係数を図のように  $C_1$ 、 $C_2$ 、 $C_3$ 、 $C_4$ 、フローティングゲートとシリコン基板間の容量結合係数を  $C_0$  とすると、フローティングゲートの電位  $\Phi_F$  は次式で与えられる。

$$20 \quad \Phi_F = (1 / C_{TOT}) (C_1 V_1 + C_2 V_2 + C_3 V_3 + C_4 V_4)$$

但し、 $C_{TOT} = C_0 + C_1 + C_2 + C_3 + C_4$

$V_1$ 、 $V_2$ 、 $V_3$ 、 $V_4$  はそれぞれ入力ゲート 408 a、408 b、408 c、408 d に印加されている電圧であり、シリコン基板の電位は 0 V、すなわちアースされているとした。

- 25 今、ソース 402 の電位を 0 V とする。即ちすべての電極の電位をソース基準として測定した値とする。そうすれば、フローティングゲート 406 を通常のゲート電極とみなせば通常の N チャネル MOS トランジスタと同じであり、そのゲート電位  $\Phi_F$  がしきい値 ( $V_{TH}^*$ ) より大となるとソース 402、ドレイン 403 間の領域 405 に電子のチャネル (N チャネル) が形成され、ソース・ドレイン

間が電氣的に接続される。即ち、

$$(1/C_{TOT}) (C_1 V_1 + C_2 V_2 + C_3 V_3 + C_4 V_4) > V_{TH}^*$$

の条件が満たされたとき $\nu$ MOSは導通（オン）するのである。

5 以上はNチャネル $\nu$ MOSトランジスタについての説明であるが、図12  
 (a)においてソース402、ドレイン403及び基板401をすべて反対導電  
 型にしたデバイスも存在する。即ち、基板はN型であり、ソース・ドレインがP  
 +拡散層で形成された $\nu$ MOSであり、これをPチャネルMOSトランジスタ  
 (P- $\nu$ MOS)と呼ぶ。

10 図2において、211、212はN- $\nu$ MOSとP- $\nu$ MOSで構成した $\nu$   
 MOSインバータであり、205、206はNMOSトランジスタ、215は通  
 常のインバータ、217はAND回路である。

信号を記憶する時には、記憶したいアナログ信号を入力201に入力し、記憶  
 命令信号202を1とする。この時2つの $\nu$ MOSインバータ211と212の  
 フローティングゲート209、210には、トランジスタ205、206を通し  
 15 て、それぞれ、 $V_L (< V_{TH}^*)$ 、 $V_H (> V_{TH}^*)$ の電位が書き込まれる。

$V_{TH}^*$ は $\nu$ MOSインバータ211、212のフローティングゲート209、  
 210からみた閾値である。このとき、 $\nu$ MOSインバータ出力213は1、  
 214は0になるので、回路出力218は1となる。

20 次に、 $\Phi_c$ を0にすると $\nu$ MOSインバータのフローティングゲート209、  
 210はフローティング状態になり、その後のフローティングゲートポテンシャ  
 ルは、 $V_{IN}$ の変化とともに変化する。

図3は、信号情報を記憶後の $\nu$ MOSインバータ211と212のフローティ  
 ングゲート電圧と201の電圧の関係を示しており、例えばこれは $V_{IN} = V_0$ で  
 書き込みを行ったときの、各 $\nu$ MOSインバータのフローティングゲート電位と  
 25  $V_{IN}$ の関係を示している。221は $\nu$ MOSインバータ212の、222は $\nu$   
 MOSインバータ211のフローティングゲート電圧を示している。

各 $\nu$ MOSインバータのフローティングゲート電位は、 $\nu$ MOSインバータの  
 2つの入力の容量結合を等しくしておくと、 $V_{IN}$ に対して $\gamma/2$ の傾きで変化する。  
 ただし、 $\gamma$ は $\nu$ MOSインバータの2つの入力端子のフローティングゲート

との結合容量の総和が、フローティングゲートの全容量に占める割合である。

$V_H$ 、 $V_L$ をフローティングゲートから見た閾値 $V_{TH}^*$ に対して $\Delta V$ だけ大きく、あるいは小さく設定すると、 $V_0 - 2\Delta V/\gamma < V_{IN} < V_0 + 2\Delta V/\gamma$ の範囲でだけ、 $V_{OL} = 1$ 、 $V_{OH} = 0$ となり、 $V_{OUT} = 1$ となる。 $V_{IN}$ がそれ以下でも  
 5 それ以上でも $V_{OL}$ 、 $V_{OH}$ はともに1または0となり、 $V_{OUT}$ は0になる。つまり、 $V_{OUT}$ は $V_{IN}$ が $V_L$ 、 $V_H$ により規定された範囲に入ったときだけ1を出力することになる。

この回路において $V_L$ および $V_H$ は回路的に固定した電圧でも良いし、外部から任意の電圧を与えてもよく、この時には一致・不一致の判定の範囲を自由に変化  
 10 することができる。

多値信号をメモリに記憶後、ある時間が経過すると、フローティングゲートに接続されているトランジスタのリークにより、窓関数の範囲が書き込み時の範囲から変動し、メモリに記憶された多値の信号の正確な連想が行えなくなる、これを防ぐためには、記憶した多値信号を定期的にリフレッシュする必要がある。図  
 15 2の回路にリフレッシュ回路を加えた回路の一例を図4に示す。このリフレッシュ動作は、リフレッシュ信号 $\Phi_{RE}$ を1にした状態で取り扱っている多値の全レベルを、 $V_{IN}$ に入力することにより、 $V_{IN}$ が記憶されている信号とマッチングしたときに自動的に $\Phi_c$ が1となり行われる。このリフレッシュ動作は、定期的にすべてのDRAMセルで同時に行うことができる。

しかし、 $\mu$ MOS構成の回路では、多ビットの連想になるに従い、切り分けるべき窓関数の幅が狭くなるために、ダイナミックに記憶された信号のリフレッシュ間隔が短くなることが考えられる。 $N$ ビットの多値を扱う場合、入力電圧を  
 $V_{DD}/2^N$ の幅で切り分ける必要があるが、この入力電圧の幅は、フローティングゲートレベルでは $\gamma/2$ 倍されるので、 $\gamma V_{DD}/2^{N+1}$ となり、フローティ  
 25 グゲートの容量を $C_{TOT}$ とすると、リフレッシュタイム $T$ の間にフローティングゲートからリークする電荷量を $C_{TOT} \gamma V_{DD}/2^{N+1}$ 以下に抑えなければならない。これを満たすためには、フローティングゲートに接続されているトランジスタのリーク電流は $C_{TOT} \gamma V_{DD}/(2^{N+1}T)$ 以下にすることが必要になる。

例えば、電源電圧3V、 $N=6$ ビット、 $\gamma=0.8$ 、 $C_{TOT}=10\text{ f (F) T}$

= 1 m s e c とするとリーク電流は約  $2 \times 10^{-13}$  (A) 以下にしなければならない。

また、2つの $\nu$ MOSインバータのフローティングゲートから見た閾値のずれは、マッチングの精度に直接影響するために、極力これを抑える必要がある。

- 5 図5は2層ポリシリコンプロセスにより試作した連想DRAMの顕微鏡写真であり、図6はその測定結果である。書き込まれた多値の信号と入力信号が一致すると出力が1となっていることがわかる。

一致・不一致の判定機能を持ったこの様な多値メモリを、図1(b)のCMOS構成と図2の $\nu$ MOS構成で実現した場合にそれぞれ必要なトランジスタ数は、図1(b)のCMOS構成の場合約1000トランジスタ必要なのに対して、図2の $\nu$ MOS構成では、約20トランジスタで実現でき、 $\nu$ MOSを用  
10 いることで素子数が劇的に減少することがわかる。

ここでトランジスタ205、206はNMOSとしたがこれはPMOSでもよい。このときは202の信号をNMOSのときと反対にすればよい。また、出力  
15 213と214の信号の違いを検出できるような論理回路に入力しさえすれば、出力213、214は任意の回数反転してもよい。

#### (実施例3)

同じ原理を用いて一致・不一致判定機能を持った多値のROMが設計できる。図7に8種類の多値信号に対して一致・不一致の判定機能を持った多値のROM  
20 を示す。 $\nu$ MOSインバータ306、307の入力端子301は入力信号用である。入力302、303は入力端子301からみた各 $\nu$ MOSインバータの閾値調整用に同じ割合で8分割し、その分割された8つの入力端子を介して $V_{DD}$ と $V_{SS}$ が容量結合している。

2つの $\nu$ MOSインバータ306、307において、入力302、303中の  
25  $V_{DD}$ と $V_{SS}$ に接続されている端子の数の比率を変えることにより入力301からみた各 $\nu$ MOSインバータの閾値を変えている。この例では、入力302中の8つの入力のうちで3つは電源に、5つはグラウンドに接続されている。これに対して入力303中の8つの入力のうちで4つは電源に、3つはグラウンドに接続されている。

これにより2つの $\nu$ MOSインバータの入力端子から見た閾値は異なり、この2つの閾値で挟まれた窓関数に入力301の信号が入ったときだけ出力306、309はそれぞれ1、0となる。

311は $\nu$ MOSを用いて構成したXNOR回路であり、これは308、  
5 309の信号が異なるときだけ1を出力するものである。

よって、入力301の信号が2つの $\nu$ MOSインバータの入力端子301からみた閾値で挟まれた窓関数に入ったときだけ、出力310は1となる。

図8はこの回路のシミュレーション結果を示している。図8(a)には入力信号の時間変化を示し、図8(b)は多値信号に対して一致・不一致の判定機能を持  
10 った8種類の多値のROMの出力を示している。VDDとVSSに接続されるノード数を1つずらすことにより、2つの $\nu$ MOSインバータ間で入力端子から見た閾値が変化し、隣り合う閾値で挟まれたA~Hの8種類の窓関数が形成される。入力信号がこの窓に入ると1が出力されていることがわかる。

この回路において、311のXORは通常のCMOS論理回路で構成してもよい。  
15 い。また、出力308か309のどちらか一方の信号を反転すればこれはXNOR回路にしてもよい。

また、308と309の出力の違いを検出することができれば、その他の論理回路を用いて構成してもよいことは言うまでもない。ここでは入力302、303を8分割した例を示したがこれは任意の分割でよい。

20 以上、図2、図7において入力電圧はアナログ値で与えたがこれは複数のバイナリディジタル信号で与えてもよく、その時には入力端子をそのビット分だけ設けて $\nu$ MOSインバータのフローティングゲートと結合する結合容量に重みを持たせて結合すればよい。バイナリ・ディジタルの信号は、 $\nu$ MOSインバータのフローティングゲート上で自動的にD/A変換されアナログ・多値信号としてメ  
25 モリに記憶される。

#### (実施例4)

本発明の第4の実施例を図9に示す。これは連想メモリに本発明の回路を応用した例である。502はメモリアレイ部分でここでは4ビットX4ワードのメモリを例に示しているがこれは任意のビット数、ワード数で構成してもよい。

5 0 1は入力信号でありこれも4ビット構成でメモリアレイに入力されている。入力信号5 0 1はメモリアレイで各メモリに記憶されている信号と比較され、一致・不一致が調べられる。この例では例えば5 1 2のワードにおいては5 0 3、5 0 5のビットは不一致であり、5 0 4、5 0 6のビットは一致している。

同様に5 1 3、5 1 4、5 1 5のワードでも一致・不一致が調べられる。一致しているビットの数は各ワード毎に調べられ、例えば5 1 2、5 1 3、5 1 4、5 1 5のワードではそれぞれ4個のビット中2、1、3、0個のビットが一致していることがわかる。

10 この結果より3個のビットで一致している5 1 4のワードが入力信号5 0 1に最も似たワードであることがわかる。

この回路においてメモリアレイの各メモリを図2、図7で示した回路を用いて実現することで、従来素子数が膨大となって集積化が不可能であった連想メモリを少ない素子数で実現することが可能である。

15 (実施例5)

本発明の第5の実施例を図10に示す。これは2つの画像情報を比較して異なる部分を検出する機能を持ったメモリ平面を示している。

図10(a)において、6 0 1はメモリ平面であり、この平面上には例えば図11で示した機能メモリ6 0 2が縦横にわたって必要分だけ配置されている。図20 11の機能メモリは図2の機能メモリと同じ構造の6 0 7の入力端子6 0 9の部分に光センサ6 0 8の出力を接続した構造となっている。

この光センサ6 0 8は例えばバイポーラトランジスタを用いて従来の技術で簡単に構成することができ、光の強度に応じた電圧が6 0 9に出力される。

ある瞬間の画像情報が各機能メモリの端子6 0 9に信号として出力され、端子25 6 1 0に記憶命令の信号"1"が入力され、この時の画像情報が高機能メモリ平面6 0 1に記憶される。その後、端子6 1 0に記憶命令の信号が"0"になり、PMOSインバータ6 1 1、6 1 2のフローティングゲート6 1 3、6 1 4はフローティング状態になり記憶動作が終了する。

その後、端子6 0 9には刻々とその時々々の画像情報が出力されており、記憶し



ている情報とその瞬間に609に入力してきた情報がVL、VHで規定された範囲からであれば出力615は0となり、範囲内であれば1となる。

図10(b)には、ある瞬間の比較結果を示しており、例えば603、604、605は、比較結果が不一致となっている機能メモリの部分を表わしている。

動画においてある瞬間の画像情報を例えばディスプレイに転送した場合に、次のコマの画像も再びすべて転送すると、データ数が膨大となるために転送が遅くなり動画として再生できなくなる。

これを解決するために、次のコマの画像を転送する際には、現在表示されている画像情報と比較して、情報が異なる画素の信号のみを転送する手法がデータ量の圧縮に非常に有効となる。

つまり、現在ディスプレイに表示されている画像情報は機能メモリ平面601に記憶され、次のコマの情報と実時間で比較演算される。

その結果、図10(b)に示したように、603、604、605の画素だけが不一致であればこの画素情報だけをディスプレイに伝送すればよい。

この時に、機能メモリ平面601において、端子610に記憶命令の信号"1"を再び入力して、最新の画像情報を記憶すれば、次のコマの画素情報に対しても同様なデータ圧縮が可能となる。

以上において述べた回路中のニューロンMOSトランジスタすべてにおいて、フローティングゲートにスイッチをつけてフローティングゲートの電位を任意の電位に適宜初期化してもよい。また電源電圧、トランジスタの閾値、容量の比率や値は例としてあげられている値以外に適宜設計に応じて任意の値を用いてよいことは言うまでもない。

## 25 産業上の利用可能性

本発明により、アナログや多値のデータを記憶することができるばかりでなく、入力してくるデータと記憶したデータを比較することのできる高機能半導体回路を実現することが可能となった。

しかも、ニューロンMOSトランジスタを用いることで極めて少数の素子で実

現できるため、L S I 化が容易である。従って、高速・実時間処理の要求される画像処理の分野を始めとし、多値を用いた新しい回路アーキテクチャなど、広範な応用分野を開拓することができる。

5

10

15

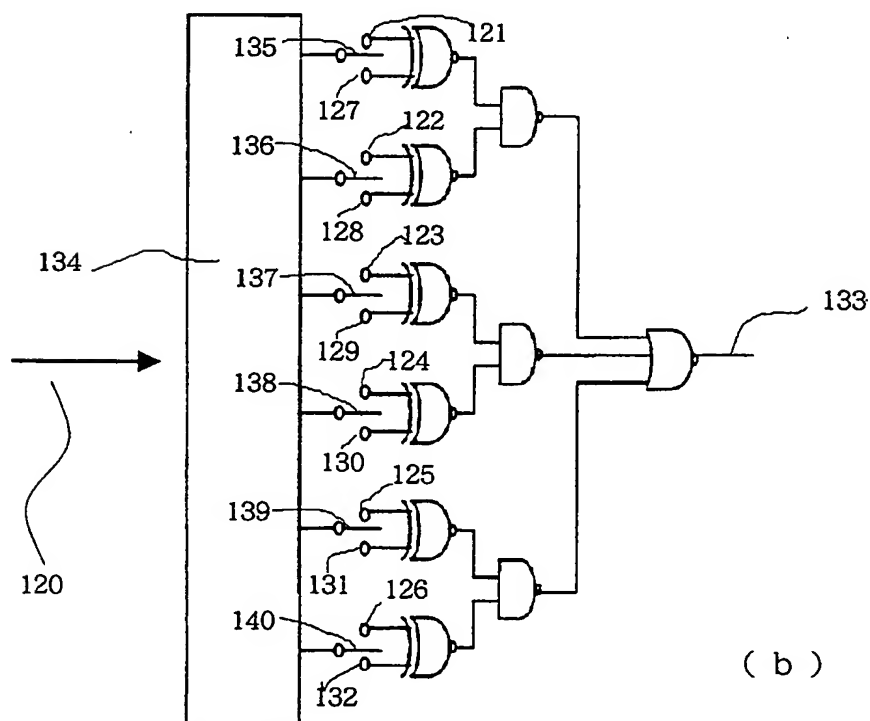
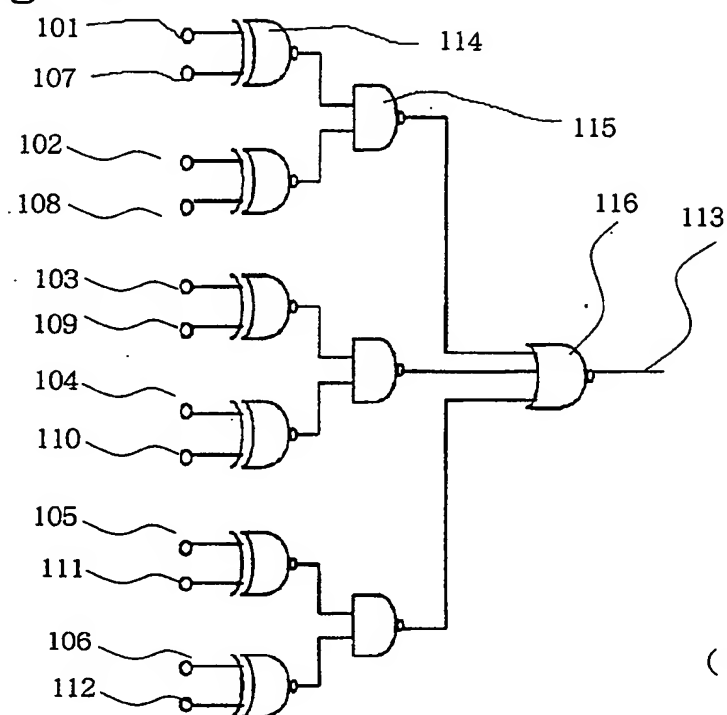
20

25

## 請求の範囲

1. 第1の信号を記憶し、第2の信号と記憶した前記第1の信号の大きさの差が所定の第1の値より小さいときに、あるいは大きいときに所定の第2の値を出力することを特徴とする半導体回路。  
5
2. 前記第1の信号が、任意の瞬間の入力信号をダイナミックに記憶したものであることを特徴とする請求項1に記載の半導体回路。
3. 前記第1の信号が、フォトリソプロセスにおけるマスクパターンにより記憶したものである特徴とする請求項1に記載の半導体回路。
- 10 4. 基板上に一導電型の半導体領域を有し、この領域内に設けられた反対導電型のソース及びドレイン領域と、前記ソース及びドレイン領域を隔てる領域に絶縁膜を介して設けられた電位的にフローティング状態にあるフローティングゲート電極と、前記フローティングゲート電極と絶縁膜を介して容量結合する複数の入力ゲート電極と、を有するニューロンMOSトランジスタを複数個用いて構成  
15 されることを特徴とする請求項1～3に記載の半導体回路。
5. 外部から入力する信号により、前記所定の第1の値を変えることができることを特徴とする請求項1～4に記載の半導体回路。
6. メモリ部に記憶されている複数の信号列と、外部から入力される第1の信号列を比較し、前記第1の信号列に最も似通った、あるいは、完全に一致した信号列を前記メモリ部に記憶されている複数の信号列中から検索する機能を持った  
20 連想メモリのメモリ部において用いることを特徴とする請求項1～5に記載の半導体回路。
7. 第1の画像情報を記憶し、その記憶された第1の画像情報と第2の画像情報を比較する回路において用いることを特徴とする請求項1～6に記載の半導体  
25 回路。

Fig. 1



2/12

Fig. 2

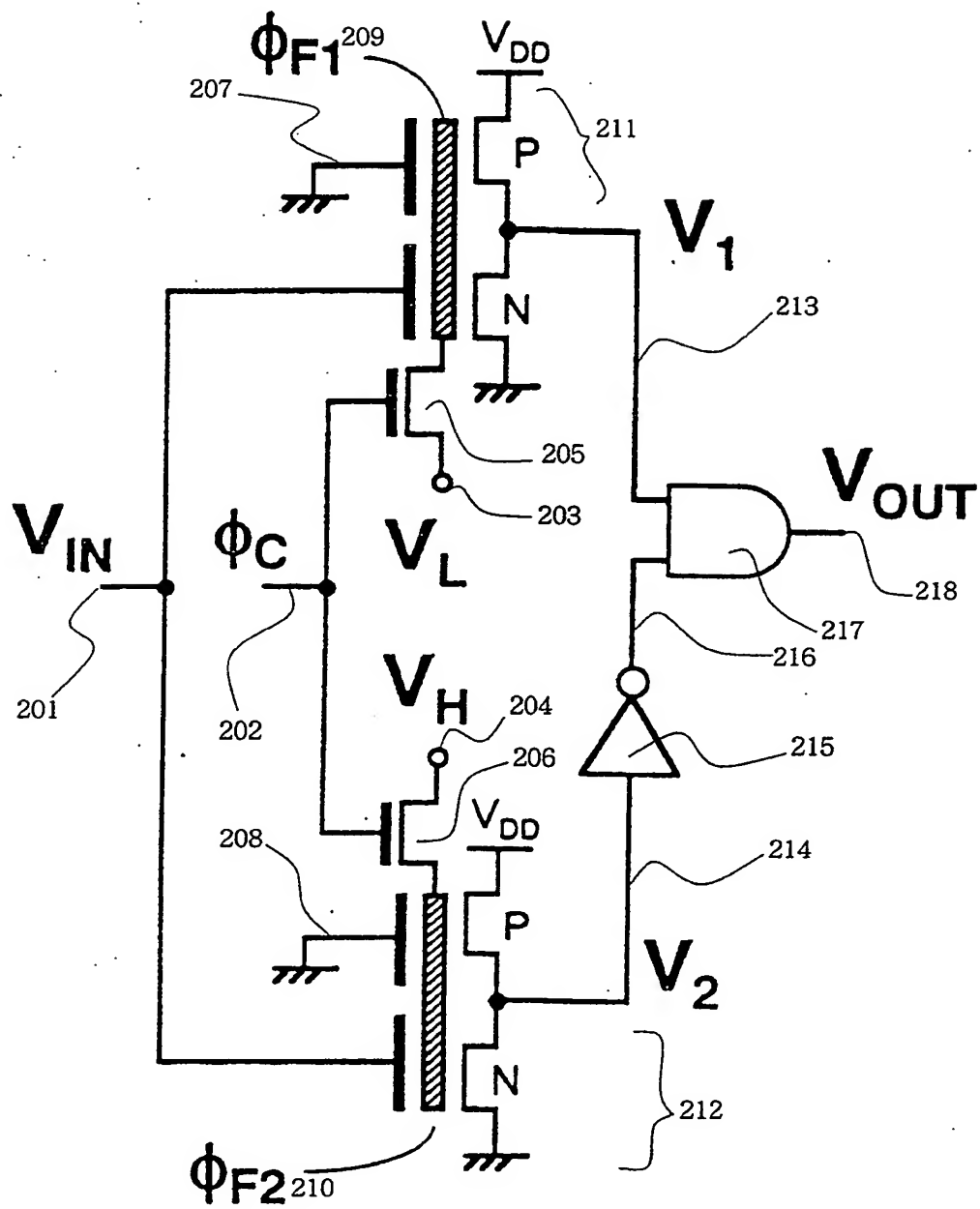
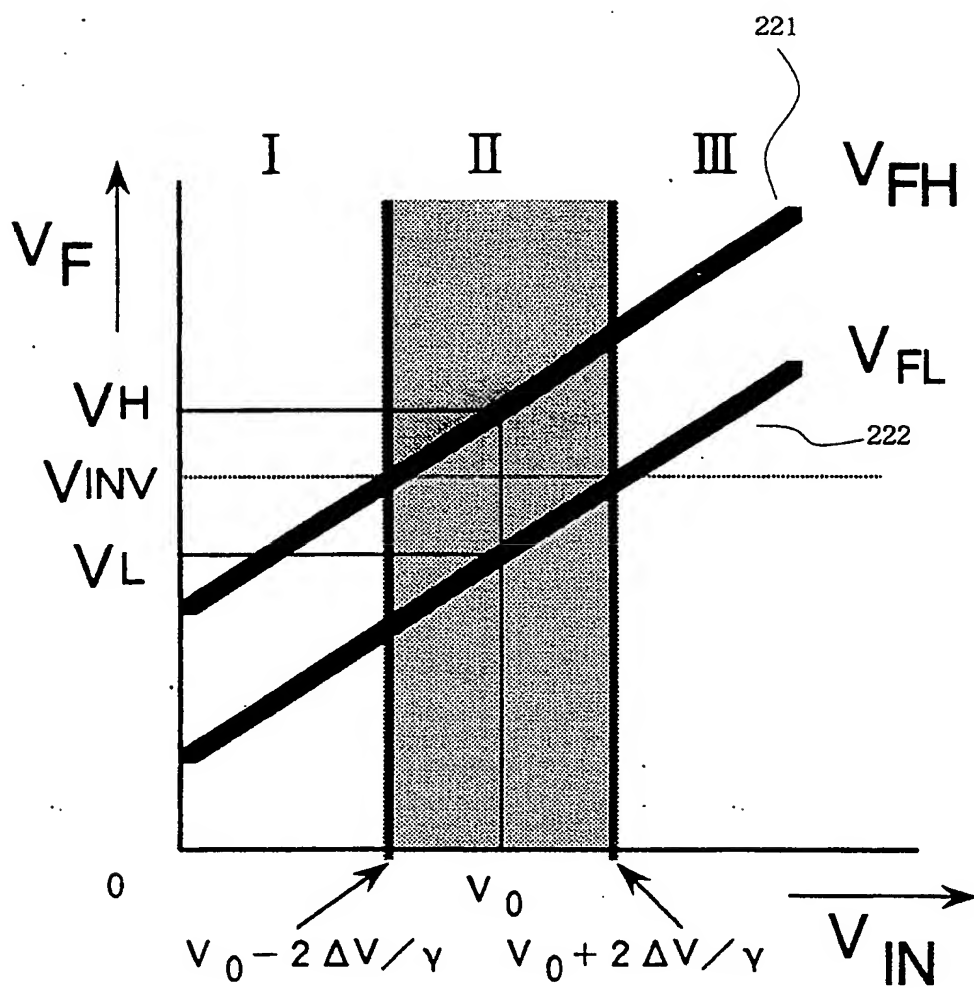


Fig. 3



4/12

F i g . 4

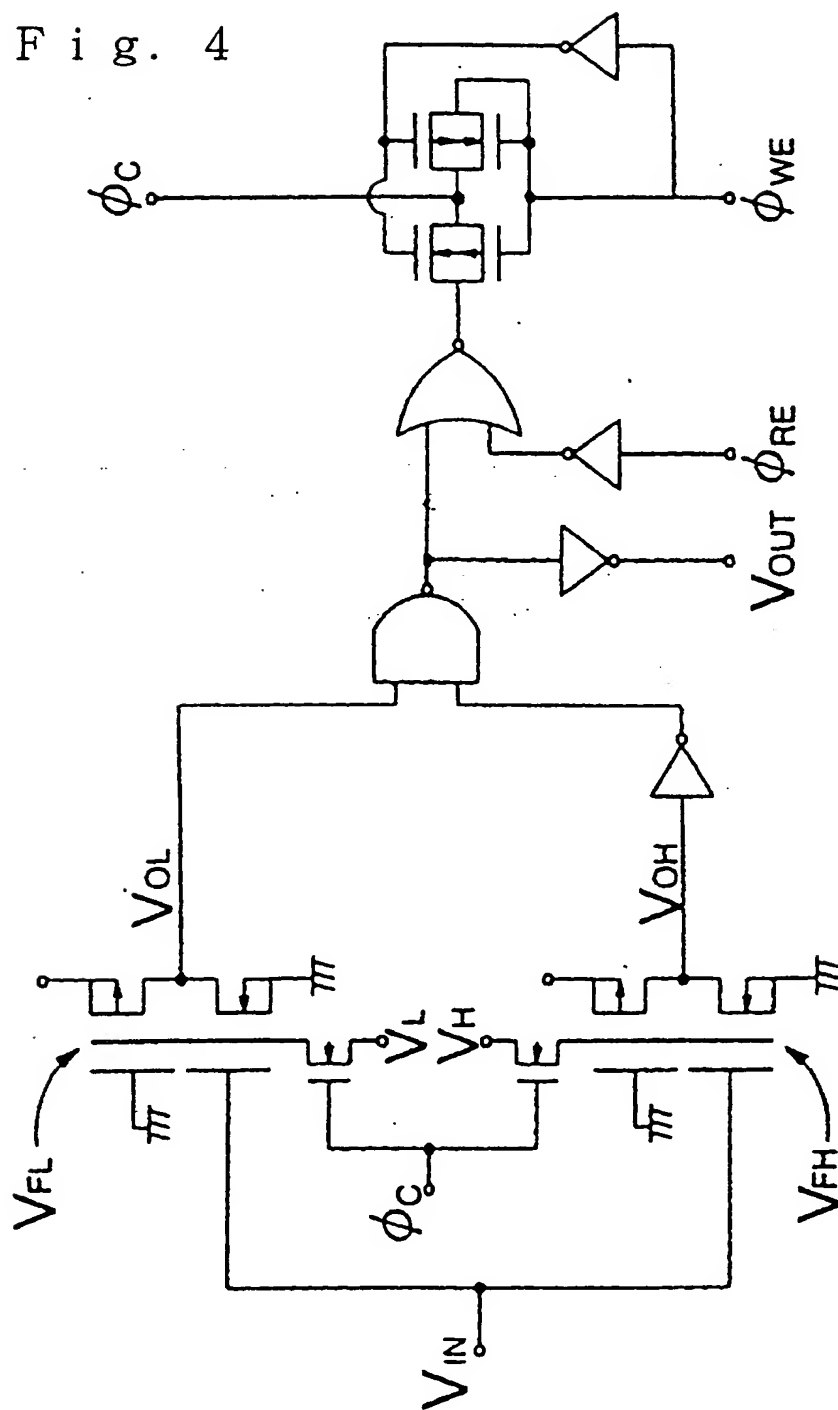


Fig. 5

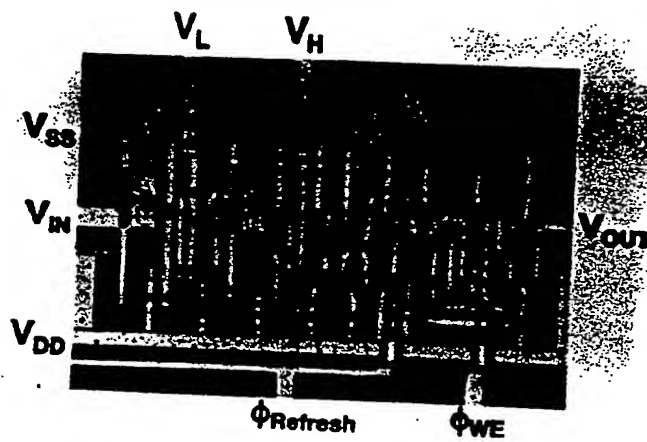
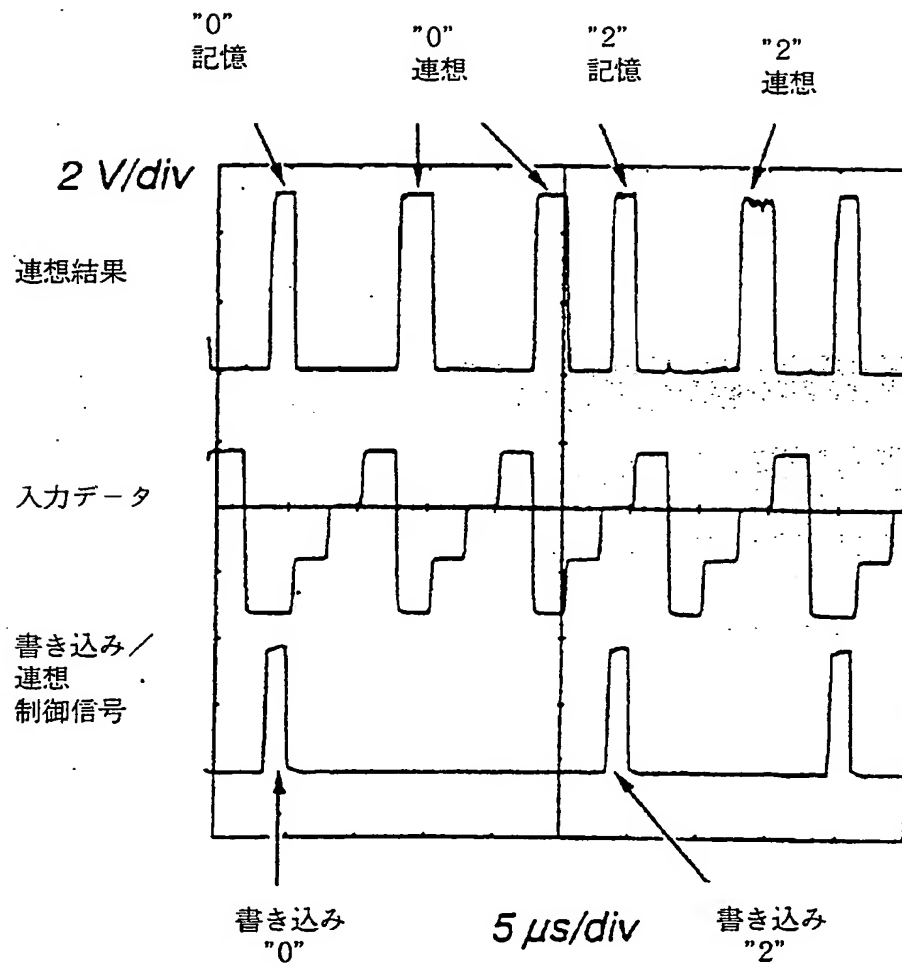




Fig. 6



7/12

Fig. 7

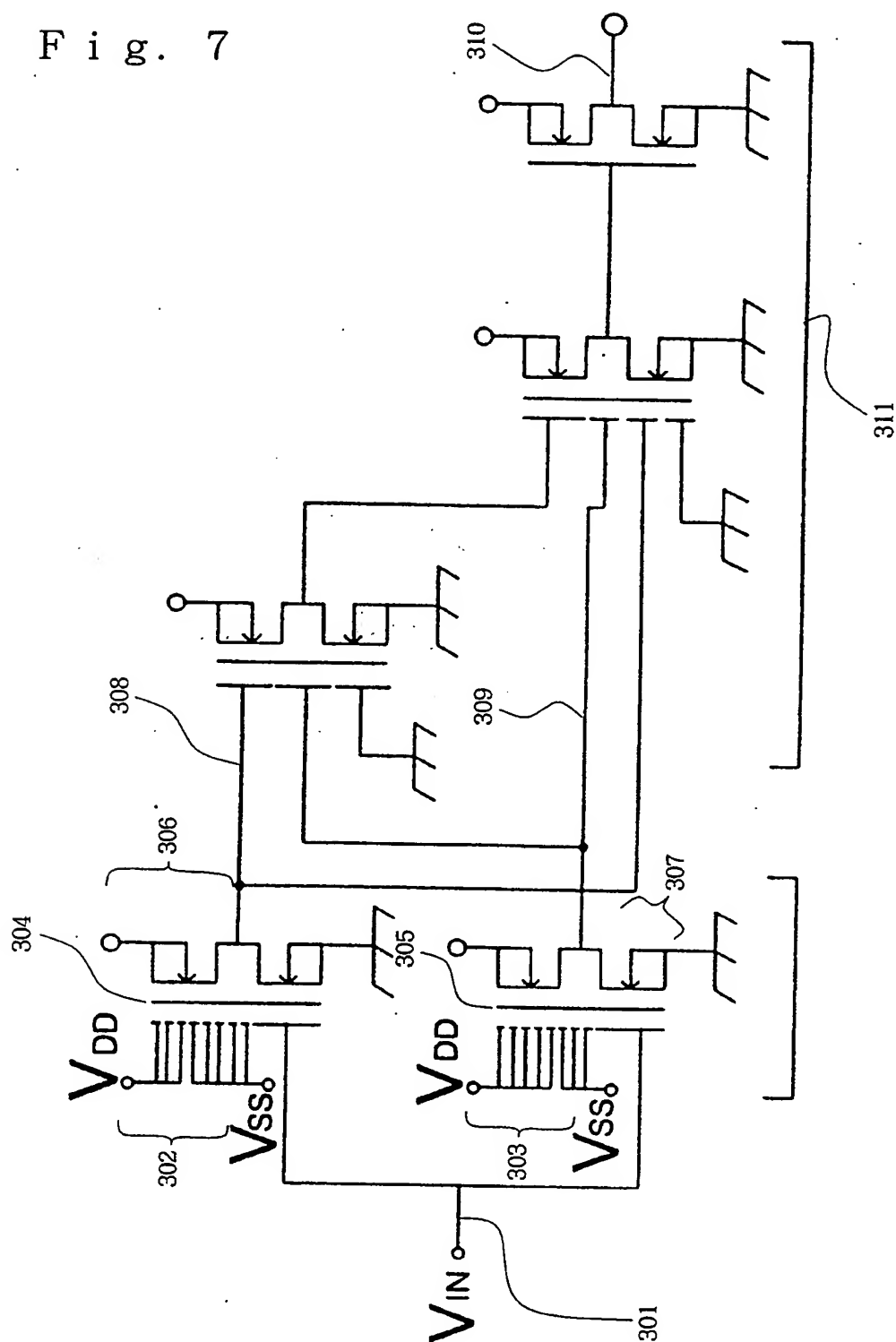
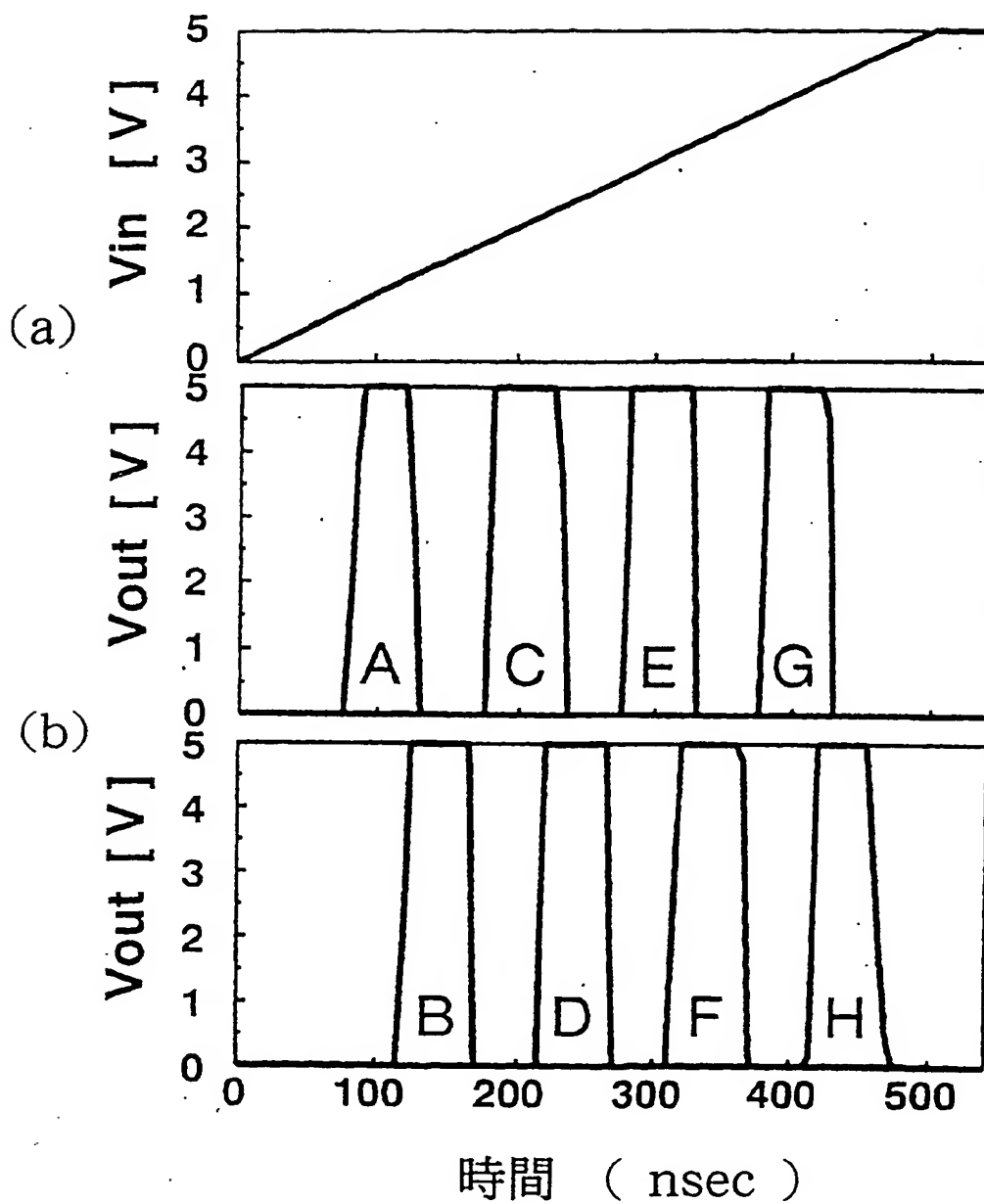


Fig. 8



9/12

F i g . 9

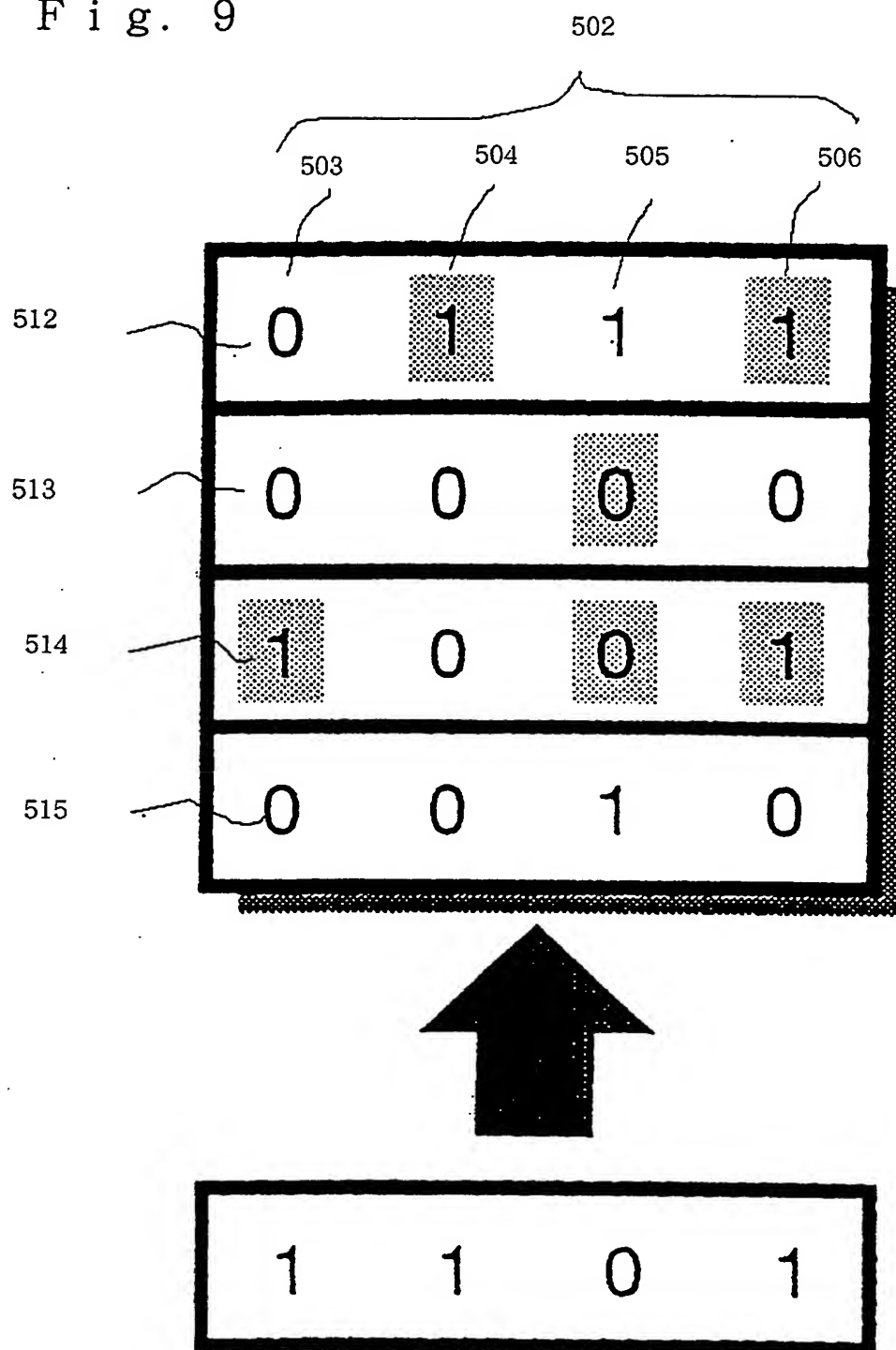


Fig. 10

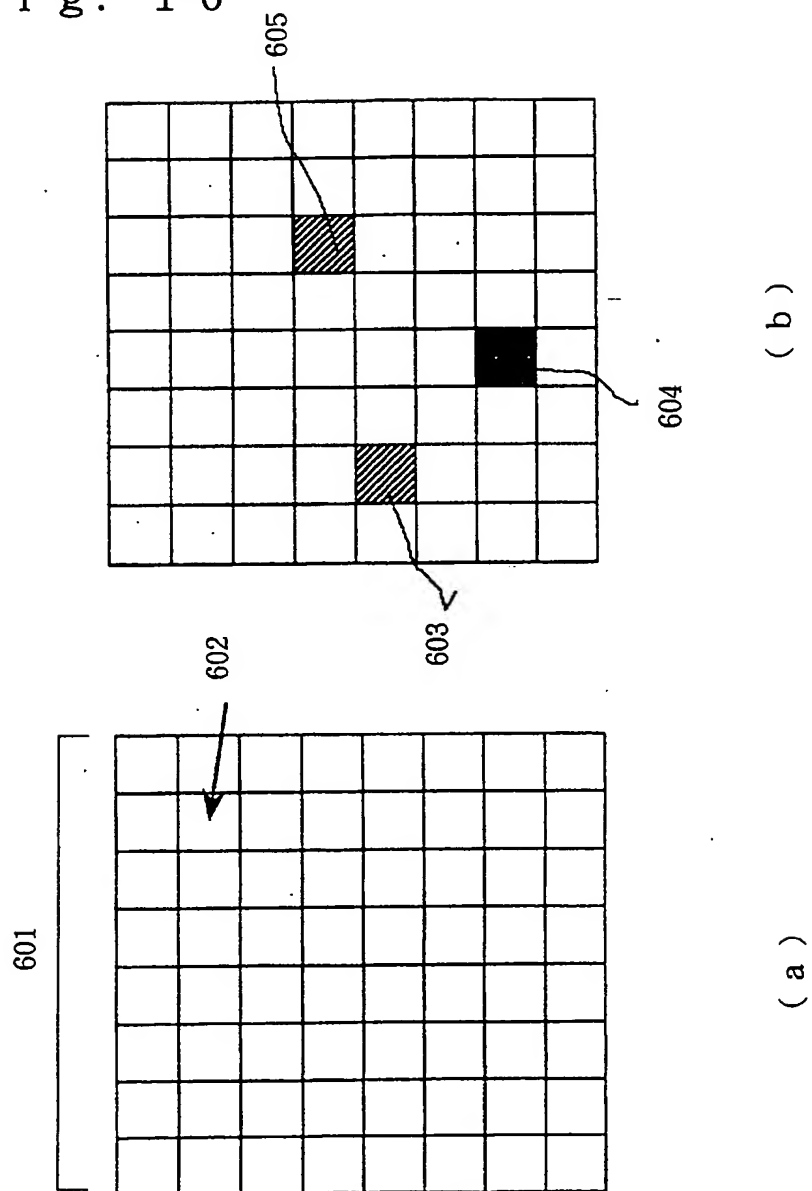
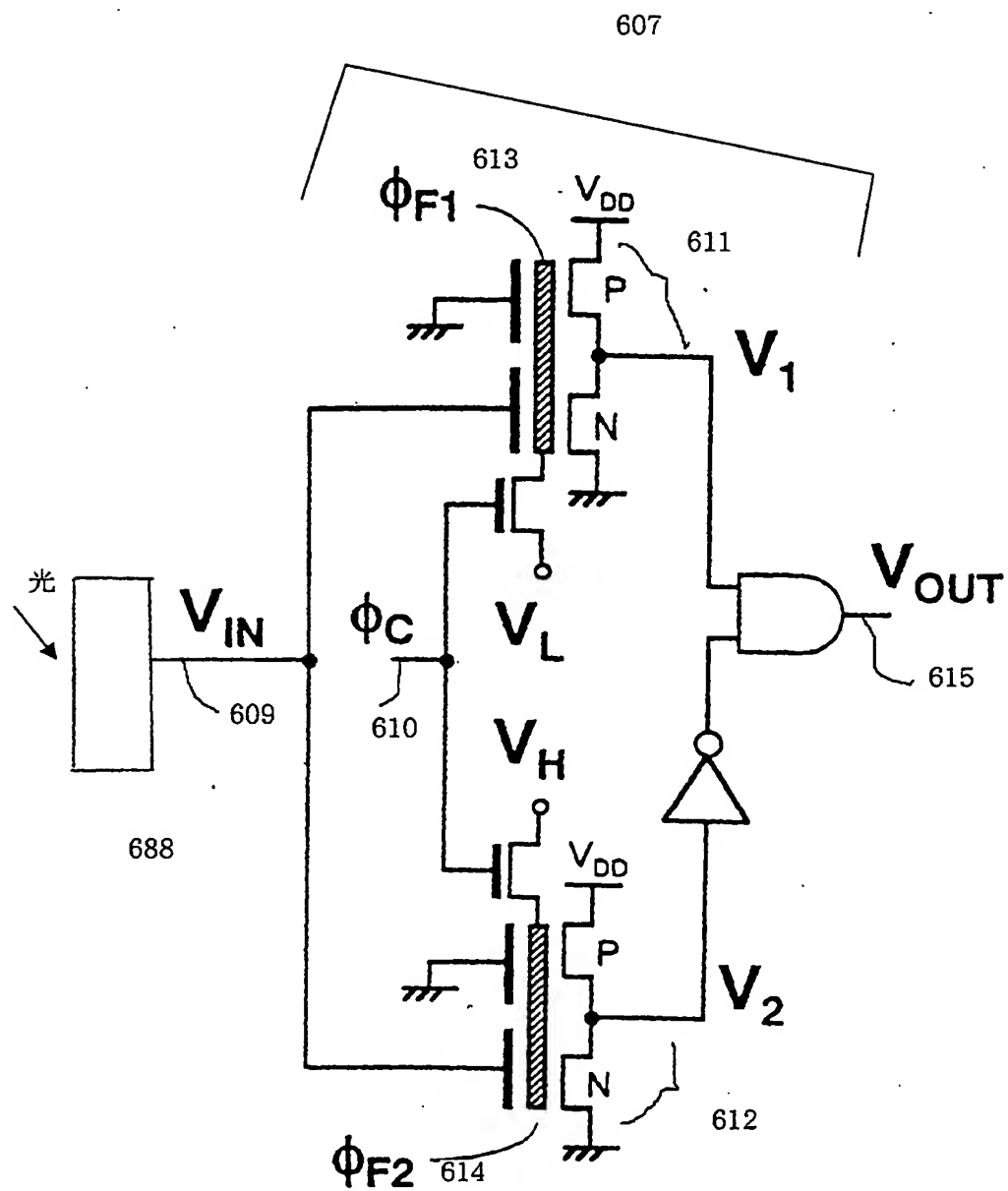
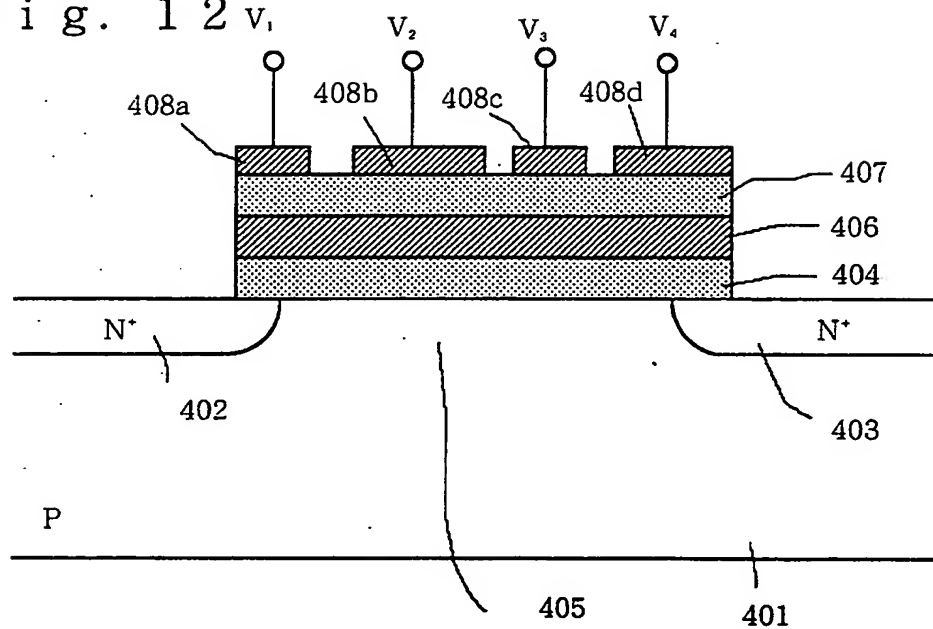


Fig. 11

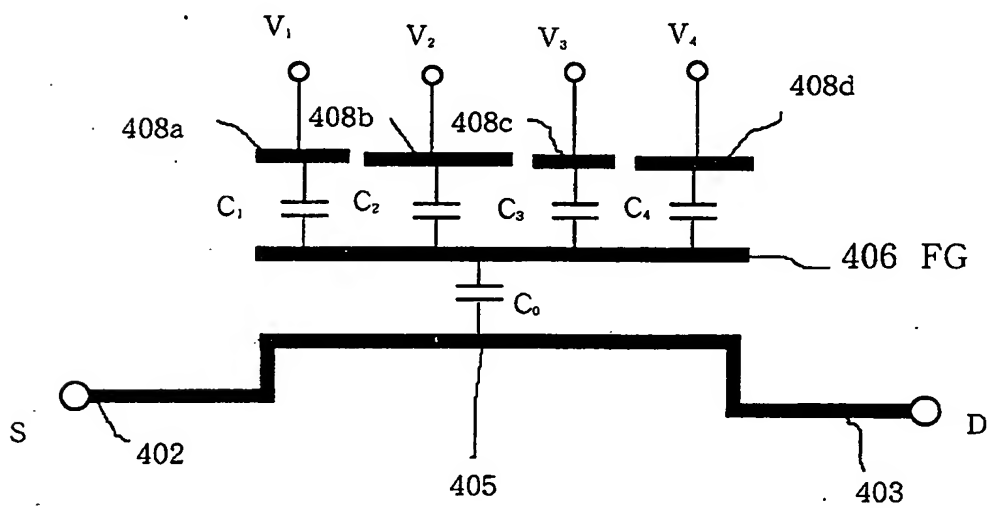


12/12

Fig. 12



( a )



( b )

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP95/00205

## A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl<sup>6</sup> H03K5/08, 5/1534, H01L27/10

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl<sup>6</sup> H03K5/08, 5/1534, G06F7/02-04, H01L27/10, H04N7/32

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1926 - 1995

Kokai Jitsuyo Shinan Koho 1971 - 1995

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP, 62-17781, B2 (Matsushita Electric Ind. Co., Ltd.), April 20, 1987 (20. 04. 87), Figs. 1, 8, 9 (Family: none)	1 - 2
Y	JP, 56-43827, A (Matsushita Electric Ind. Co., Ltd.), April 22, 1981 (22. 04. 81), Fig. 14 (Family: none)	1 - 2
Y	JP, 1-189219, A (Matsushita Electric Ind. Co., Ltd.), July 28, 1989 (28. 07. 89) (Family: none)	1 - 2
P	JP, 6-244375, A (Tadashi Shibata), September 2, 1994 (02. 09. 94), Figs. 4, 5, 13, 15, 16 (Family: none)	3 - 5
Y	JP, 5-335506, A (Tadashi Shibata), December 17, 1993 (17. 12. 93), Figs. 2, 4 (Family: none)	3 - 5



Further documents are listed in the continuation of Box C.



See patent family annex.

## \* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&amp;" document member of the same patent family

Date of the actual completion of the international search

May 24, 1995 (24. 05. 95)

Date of mailing of the international search report

June 13, 1995 (13. 06. 95)

Name and mailing address of the ISA/

Japanese Patent Office

Facsimile No.

Authorized officer

Telephone No.



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP95/00205

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP, 62-133881, A (NEC Corp.), June 17, 1987 (17. 06. 87) (Family: none)	7

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl.<sup>8</sup> H03K5/08.5/1534, H01L27/10

## B. 調査を行った分野

## 調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl.<sup>8</sup> H03K5/08.5/1534, G06F7/02-04,  
H01L27/10, H04N7/32

## 最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1995年

日本国公開実用新案公報 1971-1995年

## 国際調査で使用了電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP, 62-17781, B2 (松下電器産業株式会社), 20. 4月. 1987 (20. 04. 87), 第1図 8, 9 (ファミリーなし)	1-2
Y	JP, 56-43827, A (松下電器産業株式会社), 22. 4月. 1981 (22. 04. 81), 第14図 (ファミリーなし)	1-2
Y	JP, 1-189219, A (松下電器産業株式会社),	1-2

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」先行文献ではあるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日  
若しくは他の特別な理由を確立するために引用する文献  
(理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願の日  
の後に公表された文献「T」国際出願日又は優先日後に公表された文献であって出願と  
矛盾するものではなく、発明の原理又は理論の理解のため  
に引用するもの「X」特に関連のある文献であって、当該文献のみで発明の新規  
性又は進歩性がないと考えられるもの「Y」特に関連のある文献であって、当該文献と他の1以上の文  
献との、当業者にとって自明である組合せによって進歩性  
がないと考えられるもの

「&amp;」同一パテントファミリー文献

## 国際調査を完了した日

24. 05. 95

## 国際調査報告の発送日

13.06.95

## 名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100

東京都千代田区霞が関三丁目4番3号

## 特許庁審査官 (権限のある職員)

有 泉 良 三

5 J 7 4 0 2

電話番号 03-3581-1101 内線

3536

## C (続き). 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
	28. 7月. 1989 (28. 07. 89) (ファミリーなし)	
P	JP, 6-244375, A (柴田 直), 2. 9月. 1994 (02. 09. 94), 第4, 5, 13, 15, 16図 (ファミリーなし)	3-5
Y	JP, 5-335506, A (柴田 直), 17. 12月. 1993 (17. 12. 93), 第2, 4図 (ファミリーなし)	3-5
Y	JP, 62-133881, A (日本電気株式会社), 17. 5月. 1987 (17. 06. 87) (ファミリーなし)	7

This Page Blank (uspto)

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**

**This Page Blank (uspto)**